

מבחן מתכונת ב VHDL

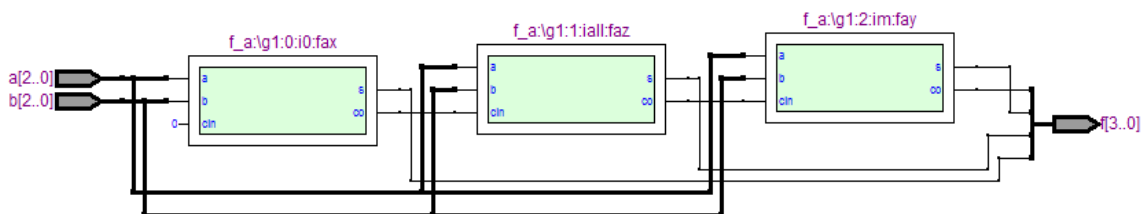
שאלה מס' 5:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY full_bit_adder IS
GENERIC (msb: integer:=2);
PORT (a,b : IN bit_vector(msb downto 0);
      f : OUT bit_vector(msb+1 downto 0));
END full_bit_adder;
ARCHITECTURE rtl OF full_bit_adder IS
COMPONENT f_a
PORT (a,b,cin : IN bit;
      S,co : OUT bit );
END COMPONENT;
SIGNAL inside :bit_vector(msb-1 downto 0);
BEGIN
g1: FOR i IN 0 TO msb GENERATE
  i0:IF i=0 GENERATE
    fax:f_a PORT MAP (a(i),b(i),'0',f(i),inside(i));
  END GENERATE;
  im:IF (i=msb)GENERATE
    fay:f_a PORT MAP (a(i),b(i), inside(i-1),f(i),f(i+1));
  END GENERATE;
  iall:IF (i<msb)and i>0 GENERATE
    faz:f_a PORT MAP (a(i),b(i), inside(i-1),f(i),inside(i));
  END GENERATE;
END GENERATE;
END architecture;

```

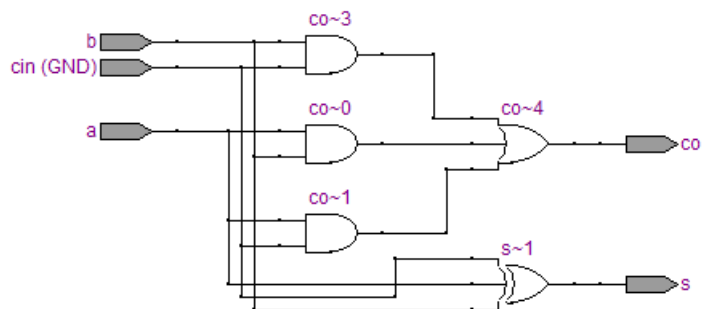


```

library ieee;
use ieee.std_logic_1164.all;

entity f_a is
  port(a,b,cin:in bit;
        s,co:out bit);
architecture gate of f_a is
begin
s<=a xor b xor cin;
co <= (a and b) or (a and cin) or
(b and cin);
end gate;

```

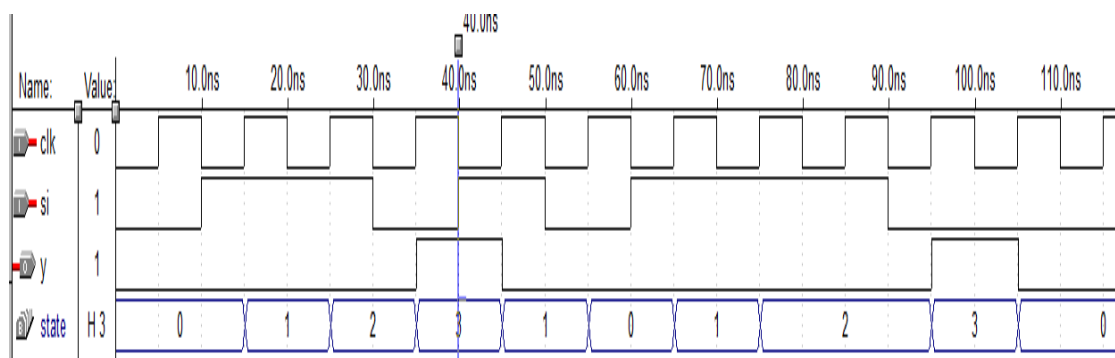
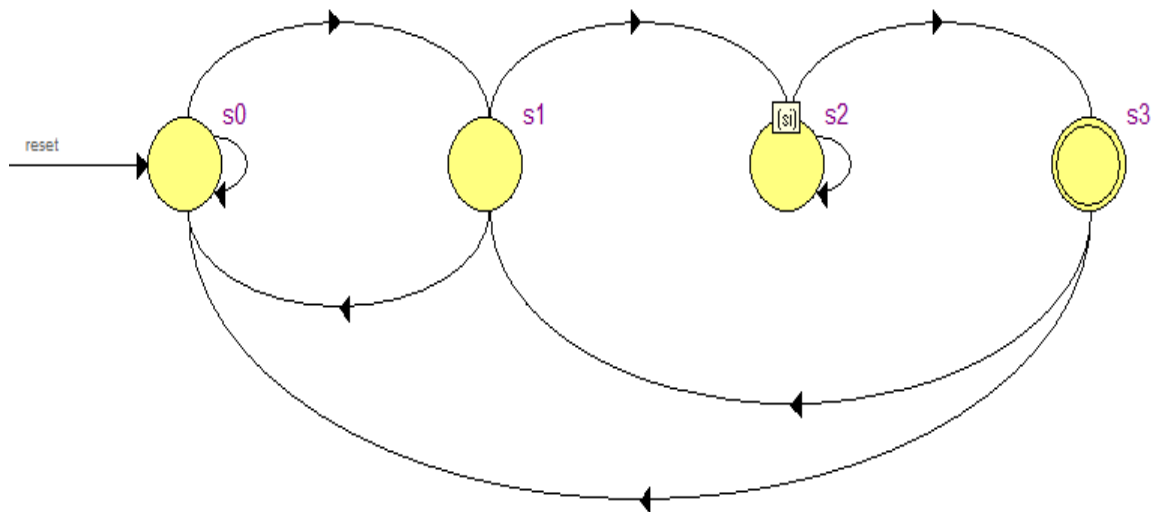


שאלה מס' 6

- א. שורה $T \leftarrow a \& b \& cin \leftarrow 11$ "שרשור" של 3 סיביות לווקטור בגודל של 3 סיביות (2 downto 0).
 ב. טבלה

A	B	Cin	Co	S
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

שאלה מס' 7



התוכנית בעמוד הבא :

מכונת מצבים המגלה סידרה 110 :

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY moore110 IS
PORT (si, clk: IN STD_LOGIC;
      y: OUT STD_LOGIC);
END ENTITY;

ARCHITECTURE rtl OF moore110 IS
  TYPE state_type IS (s0, s1, s2, s3);
  SIGNAL state: state_type;
BEGIN

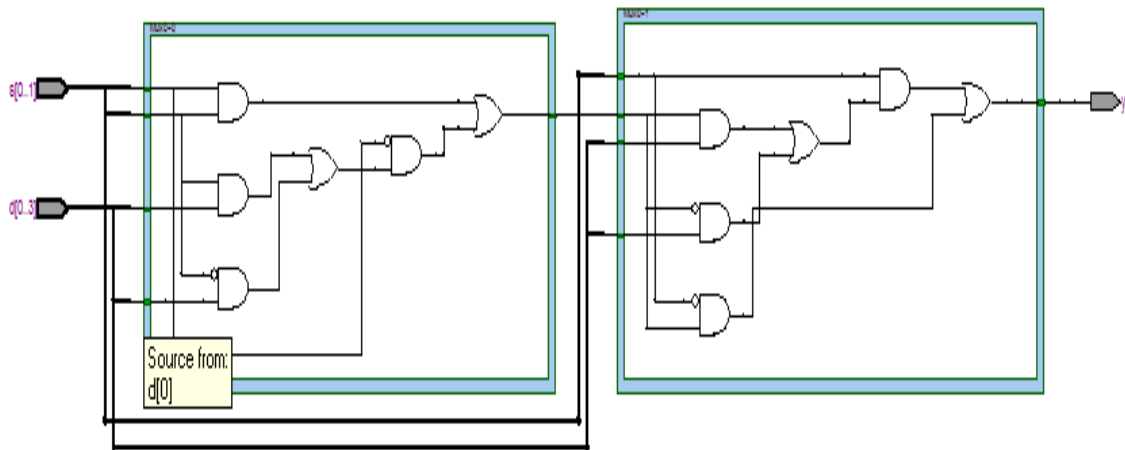
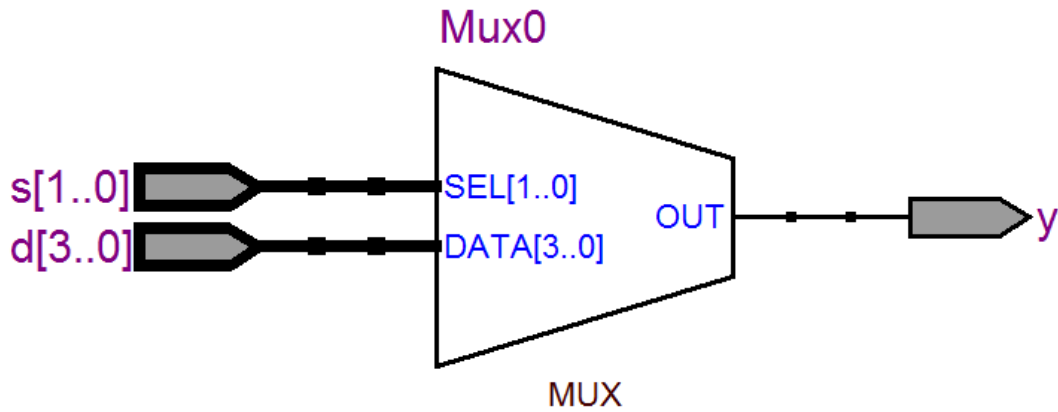
PROCESS (clk)
BEGIN
  IF (clk'EVENT AND clk = '1') THEN
    CASE state IS
      WHEN s0 =>
        IF (si = '0') THEN
          state <= s0;
        ELSE
          state <= s1;
        END IF;
      WHEN s1 =>
        IF (si = '0') THEN
          state <= s0;
        ELSE
          state <= s2;
        END IF;
      WHEN s2 =>
        IF (si = '0') THEN
          state <= s3;
        ELSE
          state <= s2;
        END IF;
      WHEN s3 =>
        IF (si = '0') THEN
          state <= s0;
        ELSE
          state <= s1;
        END IF;
    END CASE;
  END IF;
END PROCESS;

PROCESS (state)
BEGIN
CASE state IS
  WHEN s0 =>    y <= '0';
  WHEN s1 =>    y <= '0';
  WHEN s2 =>    y <= '0';
  WHEN s3 =>    y <= '1';
END CASE;
END PROCESS;
END ARCHITECTURE;

```

שאלה מס' 8

- א. מספר הסיביות ב-s הוא 2
- מספר הסיביות ב-d הוא 4
- מספר הסיביות ב-y הוא 1



- ב. Generic: משתנה כללי (גנרי) – כאשר נשנה אותו כל התוכנית(החומרה שתיוצר) תשתנה (תגדל או תקטן).
הערה: בתוכנית זו רצוי לשנות את m בחזקות של 2 (2,4,8,16...).

